

A Pseudo-12 bits Successive Approximation ADC for CMOS Image Sensors (Utilisation d'un ADC SAR pseudo-12 bits dans un capteur d'image CMOS)

Malika Alami Marktani^{1,3}, Stephane Vivien², Mhamed Elhachimi², Ali Ahaitouf³,
Abdelaziz Ahaitouf⁴

¹ STMicroelectronics, Division IMAGING CMG Rabat, Madinat Al Irfane, Avenue Mohamed Jazouli BP 10080 Rabat

² STMicroelectronics, Division IMAGING 12, Rue Jules HOROWITZ BP 217
38019 GRENOBLE Cedex - FRANCE

³ UFR SSC, Laboratoire Signaux Systèmes et Composants, FST Fes, BP 2202

⁴ Laboratoire LIMA, Faculté Polydisciplinaire de Taza, BP 1223 Taza Gare

Received in 19 Oct 2010, Revised 15 Nov 2010, Accepted 20 Nov 2010.

*Corresponding author, E-mail: malika.alamimarktani@gmail.com

Abstract

This paper illustrates the design of an original analogue-to-digital conversion architecture in a CMOS Image Sensor using a pseudo-12 bits Successive Approximation (SA) ADC. The proposed architecture works like a conventional SA-ADC, and presents a special feature: as a CMOS Image Sensor is an application where the noise depends on the signal amplitude, the resolution of the system depends on the value of the signals to be converted. The effective resolution of the converter is 9 bits, but the global resolution is 12 bits. The signal to be converted is compared with a threshold corresponding to 1/8 of the full scale. If the signal is greater than the threshold, the conversion results over 9 bits are used as the nine (9) LSBs of a twelve (12) bits word, the 3 remaining MSBs are set to 000, and thus the achieved resolution of the converter is 12bits. Otherwise if the signal is smaller than the threshold, the conversion results over 9 bits is used as the 9 MSBs of a 12 bits word, the 3 remaining LSBs are obtained randomly, and in this case, thus the resolution of the converter is pseudo-12bits. The converter uses fully differential charge redistribution DAC, a regenerative track and latch comparator and successive approximation registers. The transition between 9 bits and 12 bits is provided by an output stage responsible of adding 3 LSBs or 3 MSBs to the conversion results over 9 bits depending on the comparison value. At the end of the conversion, this SA-ADC gives the equivalent of a ramp starting with code 0 and finishing with code 4095, which represents the 4096 codes of a 12 bit converter. The proposed design presents the benefit of increasing the number of bits of an ADC without excessively increasing its complexity or its processing time. The converter is designed in CMOS 65nm technology, and will be implemented in a 5Megapixel sensor, at a sampling rate of 8.33MS/s. The measurements show good linearity and verify the concept of the new architecture.

Keywords: CMOS Image Sensor; ADC pseudo-12 bits ; Successive Approximation Register ; Charge Redistribution DAC

Résumé

Dans ce travail il s'agit de l'implémentation d'une nouvelle architecture de conversion analogique numérique dans un capteur d'image CMOS. Les imageurs actuels exploitent le parallélisme offert par la technologie CMOS et utilisent un convertisseur analogique-numérique pour chaque colonne de la matrice de pixel, en général, ce convertisseur est de type simple rampe. L'augmentation continue de la résolution des capteurs pour des surfaces de silicium quasi-fixes rend l'utilisation des systèmes conventionnels de conversion un vrai challenge pour les designers. Nous proposons un nouveau système de conversion qui fait appel à un convertisseur à approximations successives pour traiter 32 colonnes. La particularité de l'architecture

proposée est que la résolution du convertisseur change en fonction de la valeur du signal à convertir, elle passe de 12 bits pour les signaux de faibles valeurs (signaux aux alentours du noir) à 9bits pour les signaux de valeurs élevées (signaux aux alentours du blanc). La conversion est faite sur 9 bits, le passage de 9 à 12 bits est réalisé grâce au bloc de sortie qui, selon le positionnement du signal à convertir dans la pleine échelle, ajoute 3 MSBs ou 3 LSBs au code issu de la conversion, le résultat devient ainsi sur 12 bits. La conversion sur l'ensemble de la pleine échelle donne l'équivalent d'une rampe commençant par le code 0 et atteignant le code 4095 correspondant aux 4096 codes d'un convertisseur 12 bits. L'architecture proposée permet d'accroître la résolution d'un convertisseur sans augmenter sa complexité ou son temps de traitement. Elle est constituée essentiellement d'un CNA différentiel à redistribution de charges, d'un comparateur de type track-and-latch et d'un registre à approximations successives. Elle peut supporter une fréquence de fonctionnement de 20Frames par seconde soit une fréquence d'échantillonnage de 8.33MS/s. Elle sera implémentée dans un capteur de 5MegaPixels. La technologie utilisée est CMOS 65nm.

Mots-clefs : capteur d'images CMOS; CAN à approximations successives pseudo-12bits, CNA à redistribution de charges.

Introduction

Le marché des capteurs d'images CMOS a connu une croissance considérable ces dernières années, due à la demande de plus en plus importante d'appareils photos, de caméras de surveillance, de webcams, et principalement de téléphones portables. Cette évolution entraîne les principaux acteurs de ce secteur dans une course à la miniaturisation : la taille des pixels diminue car la résolution (le nombre de pixels) augmente à taille de matrice constante. Ceci impose une grande contrainte pour les blocs analogiques et leur layout notamment pour les CANs.

1. Architecture générale des capteurs d'image CMOS

L'architecture d'un capteur d'image CMOS est représentée sur la Figure 1, elle montre :

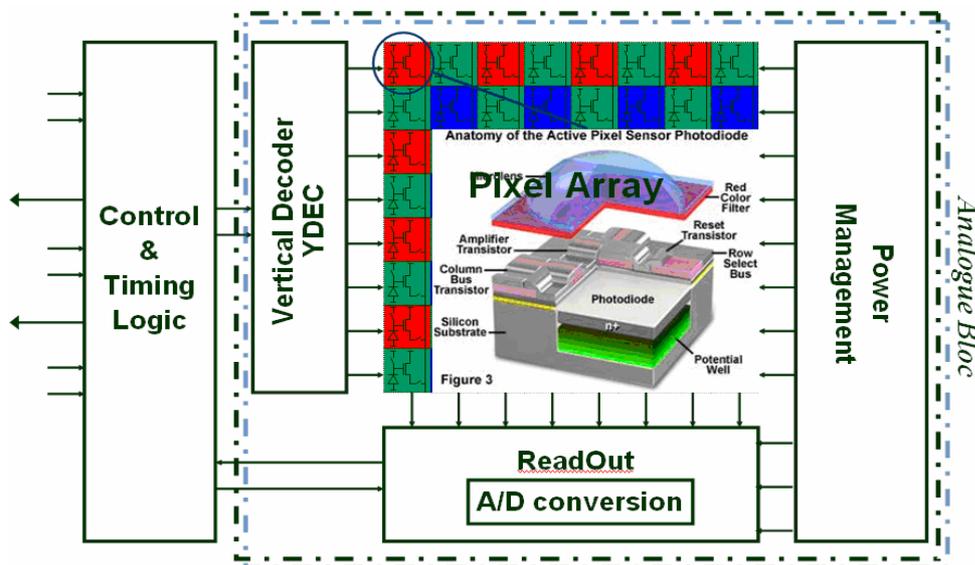


Fig. 1 : Architecture générale d'un capteur d'image CMOS [1].

- *La matrice de pixel (Pixel Array)*: composée par un ensemble de pixels (composant chargé de convertir la lumière en un signal électrique grâce à une photodiode et un certain nombre de transistors)
- *Décodeur en Y (YDEC)* : précise la ligne qui doit être lue.
- *Le power management* : assure le bon fonctionnement du circuit en fournissant toutes les références de tensions nécessaires.

- *Le Read-Out* : c'est la partie qui permet de traiter le signal provenant de la matrice de pixels, et où la conversion Analogique/Numérique est élaborée. La lecture se fait ligne par ligne. Les données peuvent alors être acheminées en série vers la partie digitale afin de subir les traitements nécessaires.

2. Architecture de conversion actuelle

Pour intégrer un CAN dans un capteur d'image CMOS, 3 possibilités existent (Fig. 2):

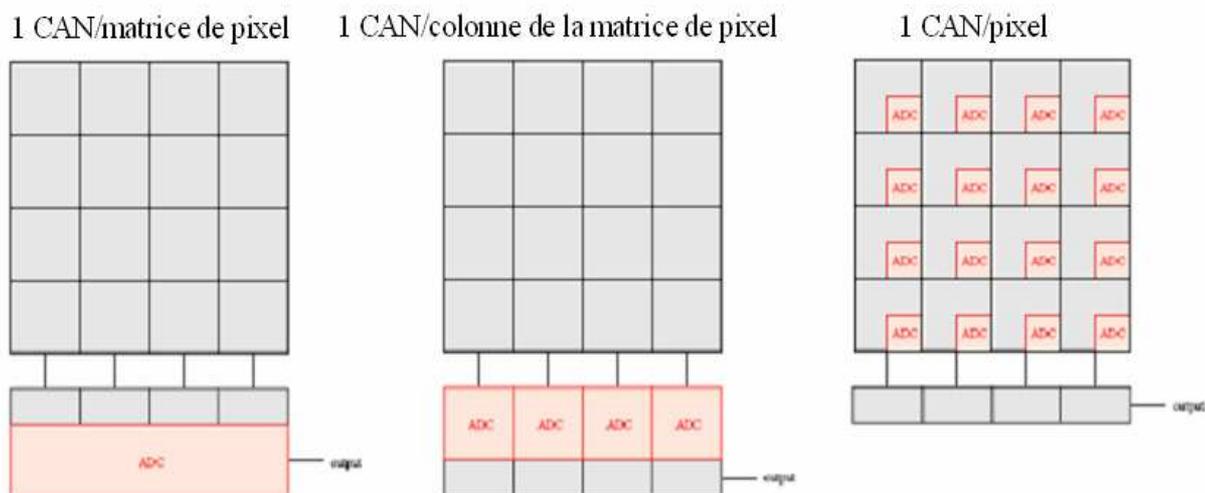


Fig. 2 : Les différentes approches pour l'intégration des CAN dans les capteurs d'images CMOS [2] [3].

- *Un convertisseur pour toute la matrice de pixels* : le système est lent, il nécessite un convertisseur très rapide, cependant on a un meilleur appariement entre les différentes colonnes de la matrice et la surface occupée par le convertisseur est faible. Cette solution est optimale pour les applications faisant appel aux faibles résolutions (pour les capteurs de type VGA) [4] [5].
- *Un convertisseur par k colonnes de la matrice de pixel* : le système est rapide, il exploite la nature parallèle des capteurs d'images CMOS et est facile à réaliser, k étant un entier supérieur ou égal à 1 [4] [6] [7].
- *Un convertisseur par pixel* : le système est plus rapide, il est complexe et a un taux de remplissage réduit. Cette architecture est utilisée dans les applications astronomiques (pour la détection de rayons X par exemple) où la taille d'un pixel est égale à celle d'un wafer entier [4] [8] [9] [10].

Un bon compromis entre rapidité, surface et complexité mène à l'utilisation d'un convertisseur par colonne, c'est d'ailleurs l'architecture existante dans les capteurs d'images actuels de STMicroelectronics, elle fait appel à des convertisseurs simple rampe.

3. Architecture proposée

En matière de capteur d'image, l'information issue du pixel porte plus d'informations lorsque le signal à convertir est faible (c'est-à-dire lorsqu'on est près du noir) plutôt que lorsqu'on s'approche de la saturation (c'est-à-dire qu'on est au alentour du blanc). Ainsi, l'idée venue est d'utiliser un convertisseur de 12bits de résolution lorsque le signal provenant du pixel est faible et d'utiliser un convertisseur de 9bits de résolution lorsque le signal provenant du pixel à une valeur plus élevée [11].

En se référant à la table de vérité d'un convertisseur 12bits, on s'aperçoit que lorsque les signaux d'entrées sont inférieurs à un huitième de la pleine échelle, les trois premiers MSBs valent 0. Et puisque la précision du convertisseur est moins importante pour les tensions élevées, on a supposé que les valeurs des trois derniers LSBs n'influençaient pas remarquablement la qualité de l'image finale. Par conséquent, on peut utiliser un convertisseur 9bits, et obtenir une résolution de 12 bits selon le positionnement des entrées par rapport à la pleine échelle. Ainsi la nouvelle architecture est celle d'un convertisseur à approximations successives pseudo12 bits destiné à convertir 32 colonnes de la matrice de pixel. Elle utilise une structure différentielle constituée de deux convertisseurs numérique analogique à distribution de charges, un

comparateur et un registre à approximations successives suivi par un étage de sortie responsable du passage de 9 bits à 12 bits.

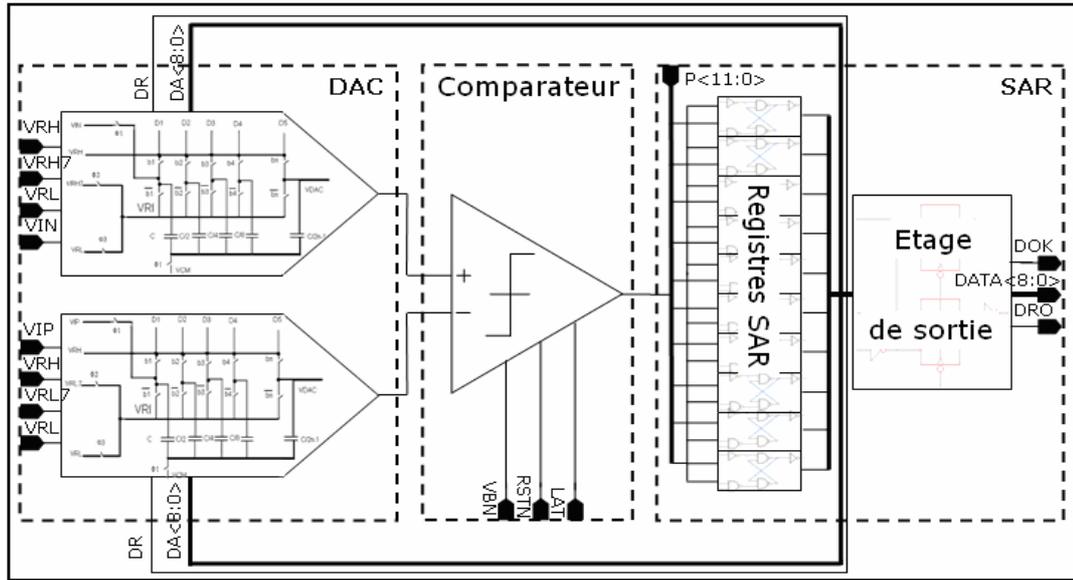


Fig.3 : Architecture globale du convertisseur à approximations successives.

En général pour un ADC SAR de 9 bits, la conversion nécessite 9 coups d'horloge, ce n'est pas le cas pour ce convertisseur, qui pour pouvoir assurer le passage de 9 à 12 bits, il a besoin de 12 coups d'horloge, répartis comme suit :

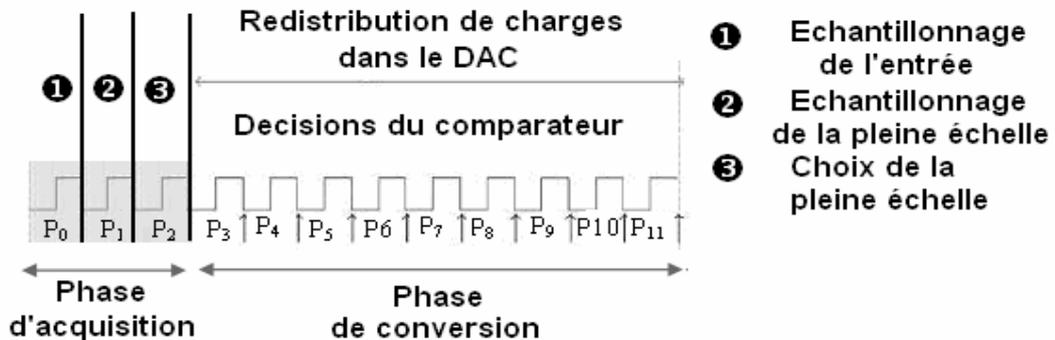


Fig.4: Timing de L'ADC SAR

La particularité de ce convertisseur est de choisir la pleine échelle en fonction de la valeur des signaux d'entrées, ce qui explique la phase d'échantillonnage de la pleine échelle après l'échantillonnage de l'entrée. Les deux pleines échelles sont définies à partir de quatre signaux de référence V_{RH} , V_{RH7} , V_{RL7} et V_{RL} répartis autour du mode commun comme illustré dans la Fig. 5 :

Les tensions V_{RH7} et V_{RL7} sont choisies de sortes à ce qu'on ait le rapport suivant :

$$V_{RH} - V_{RH7} = V_{RL7} - V_{RL} = \frac{1}{8} FS$$

Le passage de 9 bits à 12 bits se fait par le bloc digital. Considérons que $B_8B_7B_6B_5B_4B_3B_2B_1B_0$ représentent la sortie 9 bits de l'ADC. Selon la valeur de $DR0$, la sortie sur 12bits peut être déduite de la manière suivante :

- Si $V_{INP} > V_{RL7}$ et $V_{INN} < V_{RH7}$ le convertisseur choisit le FS_1 et le résultat sur 12bits sera : $B_8B_7B_6B_5B_4B_3B_2B_1B_0XXX$ (les 3 LSBs seront choisis de manière aléatoire).

- Sinon si $V_{INP} < V_{RL7}$ et $V_{INN} > V_{RH7}$ le convertisseur utilise le FS_2 et le résultat sur 12bits sera : $000B_8B_7B_6B_5B_4B_3B_2B_1B_0$ (les 3 MSBs étant à 0).

Si le convertisseur fonctionne sur 12 bis, le passage de 9 vers 12 bits devra donner une rampe qui commence par 0 et qui arrive à 4095 correspondant à 2^{12} codes d'un convertisseur de 12bits

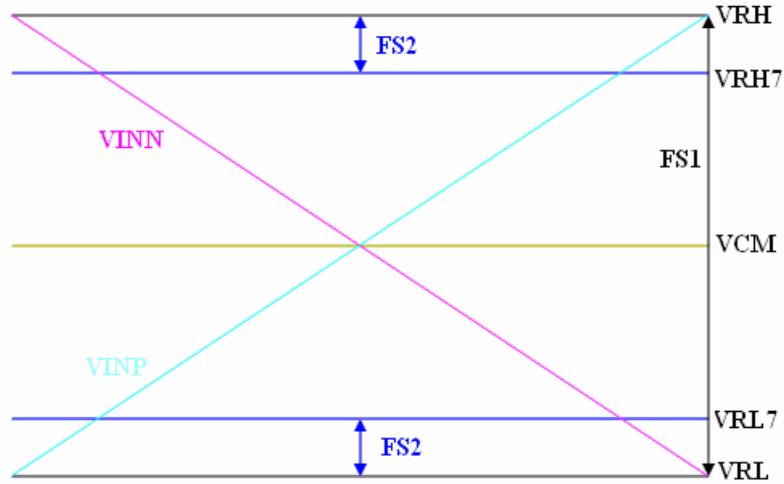


Fig. 5 : Positionnement des deux pleines échelles par rapport au mode commun

4. Simulation de la nouvelle architecture

La validation du bon fonctionnement du convertisseur (conversion sur 9 bits et ensuite passage de 9 à 12 bits) est faite par une simulation transitoire pour deux signaux d'entrées symétriques par rapport au mode commun et balayant toute la pleine échelle FS_I ,

- DATA9 est le bus de données convertis sur 9 bits,
- DATA12 est le bus de données récupérées sur 12 bits,
- Le 1^{er} graphe correspond aux entrées du convertisseur (les signaux en bleu et jaune),
- Le 2^{ème} (en vert) indique la représentation analogique des codes numériques résultants de la conversion sur 9 bits et
- La dernière courbe illustre la représentation analogique des codes numériques résultants de la conversion sur 12 bits.

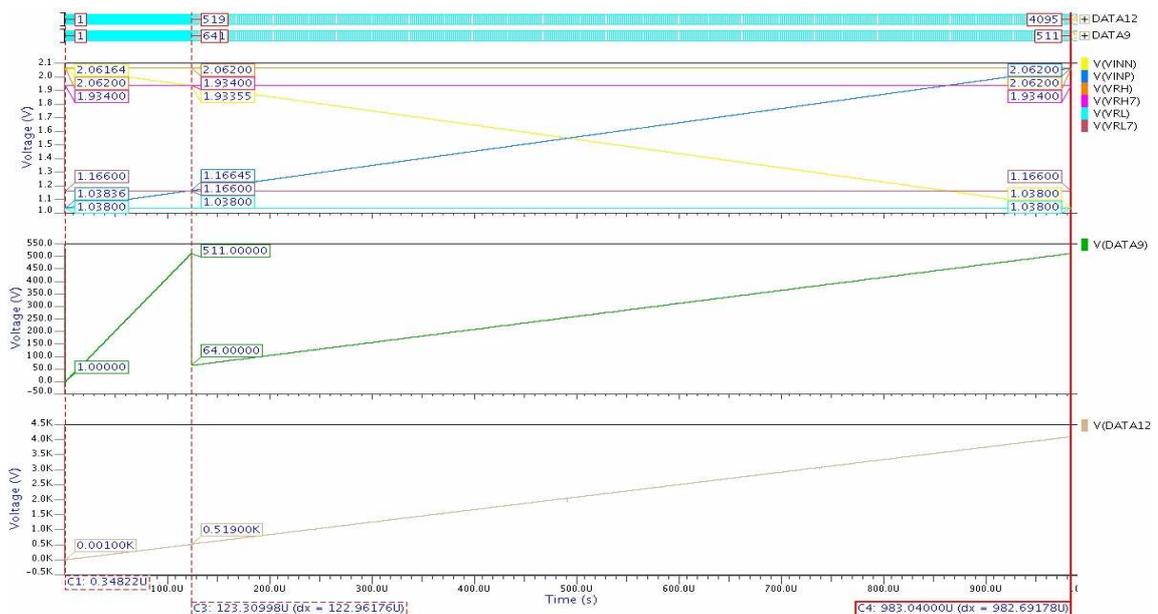


Fig.6 : Résultat de simulation transitoire de l'ADC SAR

On remarque bien que le changement de la pleine échelle s'effectue lorsque V_{INN} devient inférieur à V_{RH7} et V_{INP} devient supérieur à V_{RL7} . Le passage de 9 bits à 12 bits est réussi car la rampe du troisième graphe correspond bien à celle d'un convertisseur 12 bits.

Conclusion

L'architecture de l'ADC-SAR proposée répond au cahier de charge qu'on lui a fixé. L'implémentation de ce convertisseur est prévue dans un capteur de 5 Méga Pixels soit une matrice de 1992 lignes et 2624 colonnes avec un pitch de pixel de $1.4\mu\text{m}$. L'estimation de la surface correspondrait à la surface occupée par le système de conversion actuel. Une optimisation du design permettrait d'atteindre des fréquences de fonctionnement plus élevées, de l'ordre de 30 Frames par seconde, ce qui devrait répondre à la demande croissante des industrielles pour des capteurs d'images de plus en plus rapides.

Références

1. Documents internes de STMicroelectronics, IMAGING Division., de 2003 à 2010.
2. El Gamal, A., Yang, D., Fowler, B. "Pixel level processing why, what and how?", Stanford University, 1999.
3. Abbas El Gamal: "High dynamic range image sensors", Stanford University, 2002.
4. Pain, B., Fossum, E.R. "Approches and analysis for on-focal-plane analog-to-digital conversion," *Infrared Readout Electronics II, Proc. SPIE*, 2226 (1994) 208-218.
5. S. Hamami, L. Fleshel and O. Yadid-Pecht, "CMOS APS imager employing 3.3v 12 bit 6.3 Ms/s pipelined ADC", *Circuits and Systems*, 2004. ISCAS '04. *Proceedings of the 2004 International Symposium on Volume: 4*, Page(s): IV - 960-3 Vol.4, 2004.
6. Y. Chae, J. Cheon, S. Lim, D. Lee, M. Kwon, K. Yoo, Wu. Jung, D.-H. Lee, S. Ham, G Han, "A 2.1Mpixel 120frame/s CMOS image sensor with column-parallel $\Delta\Sigma$ ADC architecture" *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2010 IEEE International* , Page(s): 394 – 395, 2010.
7. S. Yoshihara, M. Kikuchi, Y. Ito, Y. Inada, S. Kuramochi, H. Wakabayashi, M. Okano, K. Koseki, H. Kuriyama, J. Inutsuka, A. Tajima, T. Nakajima, Y. Kudoh, F. Koga, Y. Kasagi, S. Watanabe, T. Nomoto "A 1/1.8-inch 6.4Mpixel 60 frames/s CMOS image sensor with seamless mode change" *Solid-State Circuits Conference, 2006. ISSCC 2006. Digest of Technical Papers. IEEE International* , Page(s): 1984 – 1993, 2006.
8. B. Fowler, A. El Gamal, D.X.D. Yang, "A CMOS area image sensor with pixel-level AD conversion" *Solid-State Circuits Conference, 1994. Digest of Technical Papers. 41st ISSCC., 1994 IEEE International* , Page(s): 226 – 227, 1994.
9. D.X.D. Yang, B. Fowler, A. El Gamal, "A nyquist rate pixel level ADC for CMOS Image Sensors" *Custom Integrated Circuits Conference, 1998. Proceedings of the IEEE 1998*, Page(s): 237 – 240, 1998.
10. V. Boonsobhak, A. Worapishet, "A pixel-level ADC with improved performance trade-off for high-speed CMOS imagers", dans *Proceedings of APCCAS (1)'2002*, pp.217-220.
11. Patent application title: "Analog-to-Digital converter", Inventors: Laurent Simony et Lionel Vogt Assignees: STMICROELECTRONICS SA, Patent application number: US 20100039306, année 2010.

(2010) <http://www.jmaterenvironsci.com>